|  |
| --- |
| **ETRI 0.5 μm CMOS 기반 주파수 분주기 회로 특성 분석** |

|  |
| --- |
| **가가가\*, 나나나\*\*, 다다다\*\*\***  **\*한국전자통신연구원, \*\*서울대학교, \*\*\*대구경북과학기술원**  **e-mail :**  **Analysis of Frequency Divider Circuit Using ETRI 0.5 μm CMOS Technology**  Author Name, Author Name, and Author Nameⓒ |

**Abstract**

A divide-by-4 frequency divider was designed and fabricated using the ETRI 0.5 μm CMOS process to validate the process technology. The circuit, based on a D flip-flop architecture, occupies 225.2 μm × 51.4 μm and outputs one-fourth of the input frequency. Simulation and measurement results were compared, showing that for a 1 MHz input, the measured output frequency was 250 kHz, in agreement with the design.

I. 서론

반도체가 개발된 이후 반도체는 가정, 산업, 자동차, 국방, 우주 및 인공지능에 이르기까지 다양한 분야에 핵심 부품으로 자리매김하였으며, 관련 산업 성장에 중추적인 역할을 하였다[1-4]. 특히, 우리나라에서 반도체는 국가 핵심 기술로 정부, 대학, 기업 등의 전폭적인 지원을 통해 높은 수준의 연구개발 및 사업화를 이루었고, 그 결과 관련 산업들이 동반 성장하며 반도체는 우리나라의 기술발전, 일자리 창출 등 경제 발전의 근간이 되었다.

반도체는 우리나라 뿐만 아니라 전 세계적으로 기존 응용분야 및 신규 응용분야에 대응하기 위해 연구개발이 지속적으로 필요한 실정이나, 현재 우리나라에서는 반도체 설계 인력 부족 문제로 반도체 연구개발에 난항을 겪고 있다.

위 문제를 해결하기 위한 목적으로 ETRI에서는 학부생 및 대학원생을 대상으로 ETRI 0.5 μm 2-Poly 3-Metal CMOS 공정기술을 활용한 반도체 회로 설계 검증 프로그램을 운영하고 있으며, 고정밀 Current reference 회로를 통해 PDK(Process design kits) 및 CMOS 공정 등 설계/제작 환경의 높은 신뢰성을 제시하였다 [5].

본 논문에서는 ETRI 0.5 μm 2-Poly 3-Metal CMOS 공정 기반 반도체 회로 설계/제작 환경의 신뢰성 추가 검증을 위해 D Flip-Flop 기반의 4분주 Frequency divider 회로를 설계, 제작 및 평가를 진행하였고 설계 결과 및 제작된 회로의 평가결과를 소개한다.

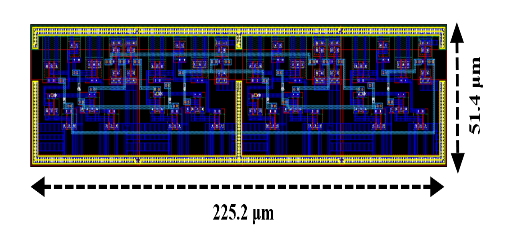
II. 회로 설계 및 시뮬레이션

1. Frequency divider 회로 설계

그림 1은 설계된 4분주 Frequency divider를 나타낸다. 설계된 4분주 Frequency divider는 2개의 D Flip-Flop로 구성되며(그림1(a)) 입력 주파수(*fin*)의 1/4배를 갖는 주파수를 출력(*fout*)하도록 설계되었다. 그림 1(b)는 4분주 Frequency divider의 Layout을 나타낸다. 금속 배선 3개의 층으로 구성되며 가로, 세로가 각각 225.2 μm, 51.4 μm의 크기로 설계되었다.



(a)Schematic



(b)Layout

그림 1. 4분주 Frequency divider 회로

2. 시뮬레이션 결과

그림 2는 설계된 4분주 Frequency divider의 Post simulation 결과를 나타낸다. 입력 주파수(*fin*)가 1 MHz 일 때, 출력 주파수(*fout*)는 250 kHz로 나타났으며, 회로가 설계한대로 4분주기로 동작함을 확인하였다.

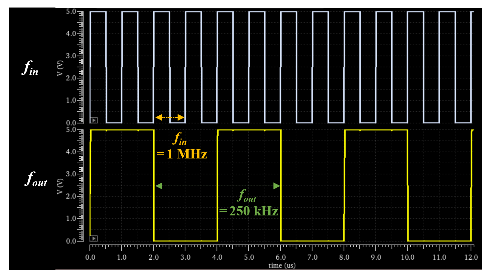


그림 2. 4분주 Frequency divider 시뮬레이션 결과

III. 칩 제작 및 검증

1. 내 칩 제작 서비스 이용 칩 제작

그림 3은 내 칩 제작서비스를 통해 ETRI Fab. [6]에서 0.5 μm 2-Poly 3-Metal CMOS 공정 을 이용해 제작된 4분주 Frequency divider 칩 사진을 보여준다.

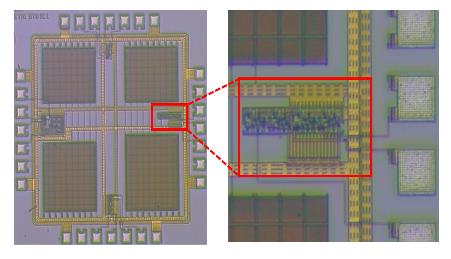


그림 3. 제작된 4분주 Frequency divider

2. 평가 환경

그림 4는 제작된 4분주 Frequency divider의 평가 환경을 나타낸다. 4분주 Frequency divider의 특성평가를 위해 28-pin package에 실장하고 평가보드에 전기적으로 연결하였으며, 회로의 구동 전원 및 입력 신호 인가를 위해 Power supply 및 Waveform generator를 각각 사용하였다. 이후 입력 주파수(*fin*) 및 출력 주파수(*fout*) 신호 검출을 위해 Oscilloscope를 연결하였다.

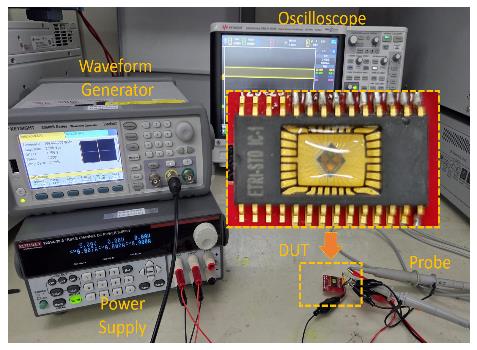


그림 4. 4분주 Frequency divider 평가 환경

3. 측정결과

그림 5는 4분주 Frequency divider의 평가 결과를 나타낸다. 1 MHz의 주파수를 입력하였을때, 250 kHz 주파수가 출력되는것을 확인하였고, 입력 주파수(*fin*)의 1/4배를 갖는 주파수를 출력(*fout*)하여 설계한대로 회로가 동작하는 것을 검증하였다.

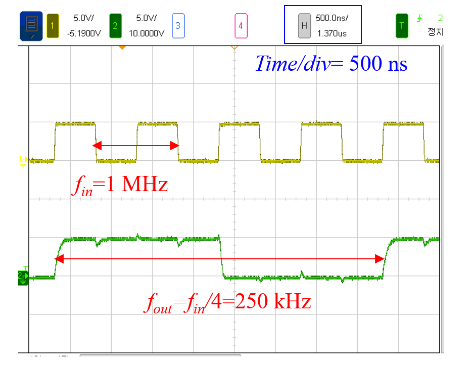


그림 5. 4분주 Frequency divider 평가 결과

III. 결론

반도체 회로설계 인력양성을 위해 구축된 한국전자통신연구원이 보유한 0.5 μm 2-Poly 3-Metal CMOS 기술 기반의 Current reference 아날로그 회로를 통해 MPW(Multi-project wafer) 제작 공정의 높은 신뢰성을 검증하였고[5], 본 논문에서는 MPW 제작 공정의 향상된 신뢰성 확보를 목적으로 4분주 Frequency divider 디지털 회로를 추가 검증하였다. 제작된 4분주 Frequency divider는 평가를 통해 1 MHz 입력 시, 250 kHz 신호가 출력되는 것을 확인하였다. 입력 주파수(*fin*)의 1/4배를 갖는 주파수를 출력(*fout*)하여 설계한대로 회로가 동작하였으며 평가된 결과를 통해 ETRI 0.5 μm CMOS 기술의 안정성과 신뢰성을 다시 한번 확인하였다.

Acknowledgement

이 논문은 과학기술정보통신부 반도체설계검증 인프라활성화사업 (RS-2023-00258732)의 지원을 받아 수행된 연구임.

참고문헌

[1] W. Zeng et al., "A Compact 19.7- to 43.8-GHz Power Amplifier With 20.3-dBm Psat and 35.5% PAE in 28-nm Bulk CMOS," in IEEE Journal of Solid-State Circuits, vol. 59, no. 8, pp. 2455-2468, Aug. 2024.

[2] S. -H. Hung et al., "A High Common-Mode Transient Immunity GaN-on-SOI Gate Driver With Quad-Drive Control Technique for High dV/dt 1700-V SiC Power Switch," in IEEE Journal of Solid-State Circuits, vol. 59, no. 8, pp. 2581-2590, Aug. 2024.

[3] J. Chen et al., “ASET and TID Characterization of a Radiation Hardened Bandgap Voltage Reference in a 28-nm Bulk CMOS Technology”, IEEE Trans. Nucl. Sci., vol. 69, no. 5, pp. 1141–1147, May 2022.

[4] S.-K. Kwon et al., “Design and Characterization of N-MCT with Low Vth Off-FET for High Current-drive Capability”, Journal of Semiconductor Technology and Science, vol. 20, no.6, pp.533-542.

[5] https://www.etri.re.kr/semilab/kor.do